

PAT-NO: JP411163055A

DOCUMENT-IDENTIFIER: JP 11163055 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 18, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
SATOU, AKISATO	N/A

INT-CL (IPC): H01L021/60, H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a ball grid array type semiconductor device with a flexible tape carrier which realizes a narrow-pitched inner electrode, multi-pin type and small-sized structure.

SOLUTION: This device comprises a semiconductor device and flexible tape carrier having through-holes filled with a metal connected to its inner electrodes, wirings 3 and outer electrodes 4. The inner electrode of the device 1 has a length in the direction perpendicular to the chip side or electrode array over three times as long as the adjacent inner electrodes pitch. Three or more rows of through-holes are alternately connected, and wirings led from the middle row of through-holes are shifted to one side to avoid interference with the adjacent through-holes.

COPYRIGHT: (C)1999,JPO

----- KWIC -----

Abstract Text - FPAR (2):

SOLUTION: This device comprises a semiconductor device and flexible tape carrier having through-holes filled with a metal connected to its inner electrodes, wirings 3 and outer electrodes 4. The inner electrode of the device 1 has a length in the direction perpendicular to the chip side or electrode array over three times as long as the adjacent inner electrodes pitch. Three or more rows of through-holes are alternately connected, and wirings led from the middle row of through-holes are shifted to one side to avoid interference with the adjacent through-holes.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-163055

(43)公開日 平成11年(1999)6月18日

(51)Int.Cl.<sup>6</sup>

H 01 L 21/60

識別記号

3 1 1

F I

H 01 L 21/60

3 1 1 W

23/12

23/12

3 1 1 R

L

Q

審査請求 有 請求項の数3 OL (全 6 頁)

(21)出願番号

特願平9-321476

(22)出願日

平成9年(1997)11月21日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 亮史

東京都港区芝五丁目7番1号 日本電気株式会社内

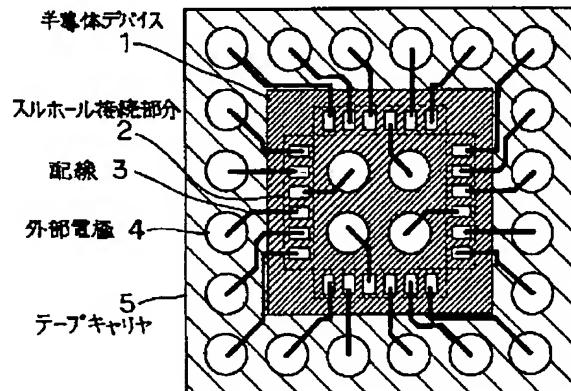
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 内部電極の狭ピッチ、多ピン化と小型化を同時に実現するフレキシブルなテープキャリアによるボールグリッドアレイタイプの半導体装置を提供する。

【解決手段】 半導体デバイス1と、その内部電極1aと接続された金属充填されたスルーホール部分3aと、配線3と外部電極4を有するフレキシブルなテープキャリア5とから成る。半導体デバイスの内部電極1aは、チップ辺、ピッチ方向に垂直な方向の長さが隣接内部電極ピッチの3倍以上の長さであり、その内部電極に対し、スルーホール部分が3列以上にわたり交互に接続され、その中列のスルーホール部分から引き出された配線が隣接するスルーホール部分に干渉しない側に寄せられて配線されている。



## 【特許請求の範囲】

【請求項1】 半導体デバイスと、その内部電極と接続された金属充填されたスルーホール部分と、配線パターンと、外部電極を有するフレキシブルなテープキャリアから成るポールグリッドアレイであって、

前記内部電極が前記半導体デバイスのチップの側辺に垂直に、かつ、一定のピッチで隣接して配列されており、前記スルーホール部分が、それぞれ、前記内部電極の、チップに対して内方、中間、外方のいずれかの部分に接続されて千鳥状に配列されており、

前記内部電極の中間の部分から引き出される配線が、隣接するスルーホール部分から、このスルーホール部分に干渉しない間隔だけ離隔して配線されていることを特徴とする半導体装置。

【請求項2】 内部電極の中間の部分から引き出される配線が、隣接するスルーホール部分から少くとも  $20\mu\text{m}$  の間隔だけ離隔されている請求項1記載の半導体装置。

【請求項3】 中間の列のスルーホール部分から引き出された配線がチップの内方へ引き出されている請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、フレキシブルなテープキャリアによるポールグリッドアレイタイプの半導体装置において特に狭ピッチのスルーホール接続構造を有する多ピンの半導体装置に関する。

## 【0002】

【従来の技術】フレキシブルなテープキャリアによるポールグリッドアレイタイプの半導体装置は、例として特開平7-321157号公報に提案されている。これは、チップサイズがほぼパッケージサイズとなるような超小型半導体パッケージの例である。

【0003】この提案の中では、実施例4としチップ内部電極とインナーリードの接続構造として金属を充填したスルーホールによる構造が紹介されている(図9参照)。また、その寸法例としては、単列  $100\mu\text{m}$  ピッチのチップ内部電極に対して  $50\mu\text{m}$  径のスルーホール、 $70\mu\text{m}$  幅のインナーリードが示されている。スルーホールの加工方法としては炭酸ガスやYAGレーザ、エキシマレーザによるものが考えられる。

【0004】また、この提案の中では、実施例7において図9に示すようにペアチップ搭載部に配置できる外部電極数の限界にも触れており、外部電極ピッチ  $0.5\text{mm}$ 、外部電極搭載エリア  $7\text{mm}$  角では226ピン以上のときはこの範囲内ではパッドを形成することができなくなり、ファン・アウトに配置しなければならないことを説明している。逆に言えば従来のTAB(Tape Automated Bonding)などの方式とは違いペアチップ搭載部分上にも外部電極を設けられるため面積効率が良い。

10

20

30

40

50

【0005】一方、半導体装置の性能向上に合わせて半導体パッケージに小型化、多ピン化が要求される中で、近年ではチップの内部電極ピッチが  $40\mu\text{m}$  以下、外部電極数が500ピン以上の例も登場している。

【0006】そこで、前述の特開平7-321157号公報に見られる方式を利用し、チップの内部電極ピッチが  $40\mu\text{m}$  以下と云う、面積効率が優れた半導体装置を提供することが考えられる。しかし、この方式ではチップの内部電極ピッチ  $40\mu\text{m}$  と云う狭ピッチでの接続を考えた場合、制約がある。

【0007】なぜなら、チップ内部電極との接合部分のインナーリード幅はスルーホール加工にレーザを利用し、メッキ充填するなどの都合によりスルーホール径とその両脇の余裕量によりインナーリード幅が決定されるが、上述のようなレーザを利用して開けられる孔径は現状では直径が  $25\mu\text{m}$  程度であり、位置合わせ精度も  $5\sim10\mu\text{m}$  程度要求されるため、インナーリード幅は  $35\sim45\mu\text{m}$  必要である。これでは隣接するインナーリード間のギャップ幅  $d$  は図7に示すように、ほぼ0となってしまい、ショートが容易に生じてしまう。

【0008】ショートを生じさせないように配線する方法としては、インナーリードのスルーホール部分を千鳥に配置する例も実現されているが、この場合は図7のように、隣接する2本の配線を同じ方向に引き出すとショートを生じる怖れがある。また、千鳥に配置された配線を隣接するリード毎に反対方向に引き出すと、ペアチップ搭載部分上とペアチップ外の領域に引き出せる配線数はそれぞれチップの全内部電極数の半数以下となる。例えば、ペアチップ搭載部分の面積に余裕がなく、より多くの配線をペアチップ外の領域に引き出そうとしても、図5から明らかのように、チップの全内部電極数の半数以上は引き出せないという制約を生じる。

## 【0009】

【発明が解決しようとする課題】本発明は、特開平7-321157号公報に開示された方式でスルーホール径や配線幅を小さくしたり、配線層を多層にする必要なく上述の制約を解決し、 $40\mu\text{m}$  ピッチと云う狭ピッチでの配線の接合が可能であり、チップの内部電極からの引出をペアチップ搭載部分上に、もしくはペアチップ搭載部分外に自由に引き回すことが出来る、多ピン、小型化を同時に満たす半導体装置を提供することを目的とする。

## 【0010】

【課題を解決するための手段】本発明による半導体装置は、半導体デバイスと、その内部電極と接続された金属充填されたスルーホール部分と、配線パターンと、外部電極を有するフレキシブルなテープキャリアから成るポールグリッドアレイであって、前記内部電極が前記半導体デバイスのチップの側辺に垂直に、かつ、一定のピッチで隣接して配列されており、前記スルーホール部分

が、それぞれ、前記内部電極の、チップに対して内方、中間、外方のいずれかの部分に接続されて千鳥状に配列されており、かつ、前記内部電極の中間の部分から引き出される配線が、隣接するスルーホール部分から、このスルーホール部分に干渉しない間隔だけ離隔して配線されている。そして、内部電極の中間の部分から引き出される配線が、隣接するスルーホール部分から少くとも20 $\mu\text{m}$ の間隔だけ離隔されている。中間の列のスルーホール部分から引き出された配線はチップを内方へ引き出すことができる。

【0011】上記の本発明により、チップの内部電極から外部電極へインナーリードの引き回しをする場合、狭ピッチで相互に隣接する内部電極を全てを漏れなく有効に利用する場合に、ペアチップ搭載部分上とペアチップ外へインナーリードの引き回し数の比率を3:1や1:3というように自由度を増して決定することが可能となり、従って、狭ピッチ、多ピン、小型化を同時に満たす半導体装置を実現できる。

#### 【0012】

【発明の実施の形態】以下、本発明の半導体装置の実施の形態について図1～3に基づいて説明する。この実施の形態においては、チップの内部電極ピッチPが40 $\mu\text{m}$ 、スルーホール接続部分のスルーホール径は25 $\mu\text{m}$ 、スルーホール部分のインナーリード幅は40 $\mu\text{m}$ 、配線間のスペースdは20 $\mu\text{m}$ と仮定して説明を進める。しかし、実際の本発明はこの寸法に限定されるものではない。

【0013】先ず本発明の第1の実施の形態にかかる説明を図1～3を用いて行う。本実施の形態は、フレキシブルなテープキャリアより成るポールグリッドアレイタイプの半導体装置に関するものであり、テープキャリアの、チップの内部電極1aと接続されるスルーホール部分5d、5eは図3に示すような構造を有する。そして、接続部分からの引出構造は図2に示すようにまず、チップの内部電極1aのピッチ方向に垂直な方向長さしは、チップの内部電極パッドのピッチPの3倍以上、この場合はチップ内部電極1aのパッドのピッチPの3倍+隣接する各リードとのスペースd分となり、具体的な寸法は160 $\mu\text{m}$ であり、そのチップ内部電極1aに対

しスルーホール部分3aが3列以上にわたり交互に接続され、その中列のスルーホール部分から引き出されたインナーリード3はペアチップ1外の方向に引き出され、隣接するスルーホール部分に干渉しない側に寄せられて（具体的には10 $\mu\text{m}$ ）、配線され隣接するリード間の間隔dは20 $\mu\text{m}$ になっている。

【0014】すなわち、中列のスルーホールに接続される配線（スルーホール接続部分3aを含む）の、隣接する配線の側縁に対向する側縁が、それぞれ、前記隣接する配線の側縁から、少くとも、20 $\mu\text{m}$ （ショートなど起こさない特定のスペース）だけ離れて配線されている。本発明にかかる半導体装置における配線の引き廻しの結果は図1のようになる。

【0015】次に本発明の第2の実施の形態について説明を行う。本実施の形態も第1の実施の形態同様、フレキシブルなテープキャリアより成るポールグリッドアレイタイプの半導体装置であり、その配線引き出し結果は図4に示されるとおりである。ここでも、第1の実施の形態同様テープキャリアのチップの内部電極と接続されるスルーホール部は図3に示すような構造を有し、接続部分からの引出構造も図2に示すようになっている。ただ、引き出す方向別の配線比率が異なり、第1の実施の形態ではペアチップ搭載部分上に対してペアチップ外への配線引き出し数が多かったが、本実施の形態では逆にペアチップ外に対してペアチップ搭載部分上への配線引き出し数が多くなっている。その結果、第1の実施の形態とは異なり今度はペアチップ搭載部分上により多くの外部電極を設けた例が実現されている。

#### 【0016】

【発明の効果】先に説明した従来例と本発明の第1の実施の形態を比較すると表1の様になり、本発明が従来例に比較してチップ内部電極からペアチップ搭載部分上もしくはペアチップ外の外部電極へ有効に引き回し、その結果、多ピン化が実現できていることが分かる。すなわち、同じ面積でより多くの外部電極を設けようと考えた場合、本発明を利用すると従来例の千鳥方式より約50%ピン数を増やせると言える。

#### 【0017】

表1. 本発明と従来例の比較

	チップ 電極数 (A)	外部 電極数 (B)	ペアチッ プ搭載部 分上	ペアチッ プ外	B/A
本発明 (図1)	24	24	4	20	1
従来例 (図5:千鳥配列)	24	16	4	12	0.67

【0018】また、本発明は第1の実施の形態に見られるように、ペアチップ外により多くの外部電極を設けたい場合も、また第2の実施の形態に見られるようにペアチップ搭載部分上に多くの外部電極を設けたい場合も、どちらも選択的に実施することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す外部電極配置図。

【図2】本発明におけるチップ内部電極とスルーホール接続部分の構造を示す図。

【図3】図2のスルーホール接続部分の上面及びA-A'断面図。

【図4】本発明の第2の実施の形態を示す外部電極配置図。

【図5】従来例(千鳥配列)を示す外部電極配置図。

【図6】図5の配線部分を拡大した部分拡大図。

【図7】従来例の配線の欠点を示した部分拡大図。

【図8】従来例の配線の欠点を示した部分拡大図。

\* 【図9】従来例の外部電極の配置を示す図。

【符号の説明】

1 半導体デバイス(チップ)

1a チップ内部電極

2 チップ内部電極とスルーホール接続部分

3 配線(インナーリード)

3a スルーホール接続部分

4 外部電極

5 テープキャリア

5a インナーリード(配線)

5b テープ基材

5c 接着剤

5d スルーホール(金属メッキ充填部1)

5e スルーホール(金属メッキ充填部2)

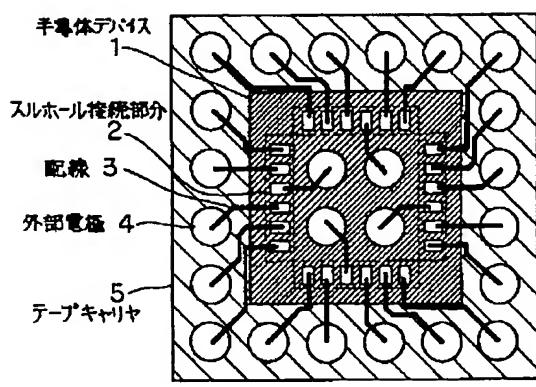
P ピッチ

d ギャップ幅

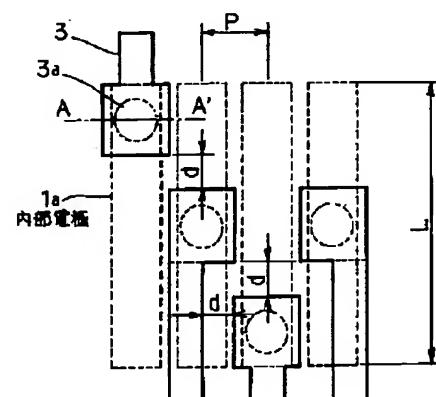
L 内部電極長さ

\* 30

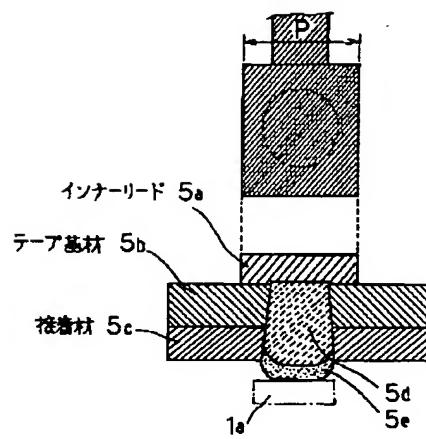
【図1】



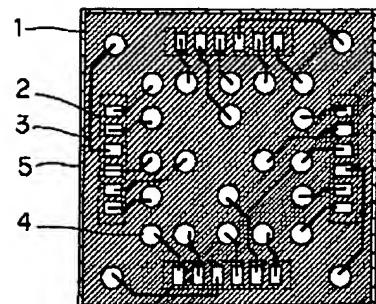
【図2】



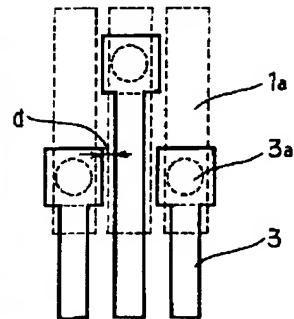
【図3】



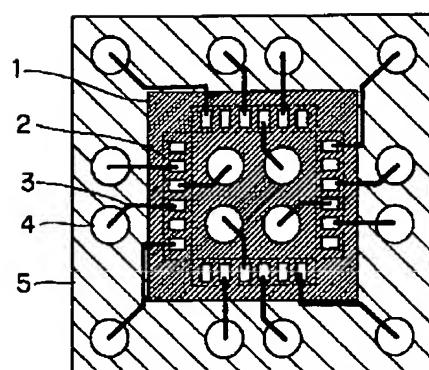
【図4】



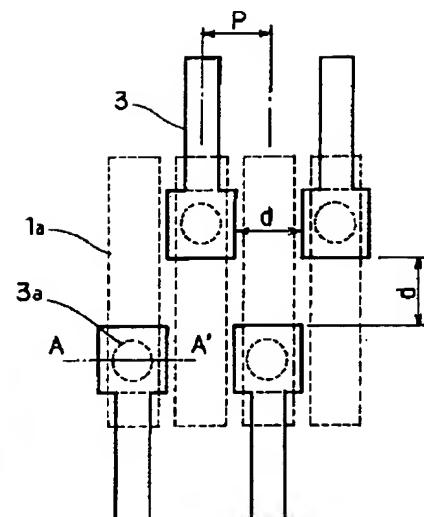
【図7】



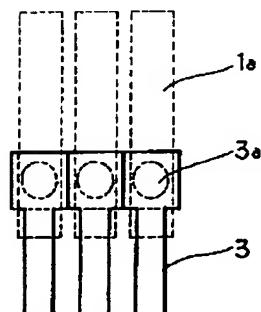
【図5】



【図6】



【図8】



【図9】

